

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi NAKAMURA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2002-316720

MONTH/DAY/YEAR

October 30, 2002

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 6 7 2 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 6 7 2 0]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 7 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 7 4 1 2

【書類名】 特許願

【整理番号】 A000205341

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体メモリ

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 中村 寛

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
 イクロエレクトロニクスセンター内

 【氏名】 山村 俊雄

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

 【弁理士】

 【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体メモリ
【特許請求の範囲】

【請求項 1】 マトリクスに配置される複数のメモリセルユニットから構成される複数のメモリセルアレイを具備し、

前記複数のメモリセルアレイは、2つ以上のメモリセルアレイからなる複数のセルアレイブロックを構成し、セルアレイブロック毎に、動作の成功又は失敗を示す第1 Pass/Fail信号を出力することを特徴とする半導体メモリ。

【請求項 2】 前記動作は、前記複数のメモリセルアレイに対して並列に実行されることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 3】 前記動作は、書き込み／消去動作であることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 4】 前記第1 Pass/Fail信号は、前記2つ以上のメモリセルアレイの全ての動作が成功したか、又は、前記2つ以上のメモリセルアレイの少なくとも1つの動作が失敗したかを示すPass/Fail信号であることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 5】 前記第1 Pass/Fail信号は、前記2つ以上のメモリセルアレイのうちの選択された1つのメモリセルアレイに対して、動作が成功したか、又は、失敗したかを示すPass/Fail信号であることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 6】 前記複数のメモリセルアレイの全ての動作が成功したか、又は、前記複数のメモリセルアレイの少なくとも1つの動作が失敗したかを示すチップ全体の第2 Pass/Fail信号を出力することを特徴とする請求項 4 又は 5 に記載の半導体メモリ。

【請求項 7】 前記第1 Pass/Fail信号を出力するか、又は、前記第2 Pass/Fail信号を出力するかは、コマンド信号により決定されることを特徴とする請求項 6 に記載の半導体メモリ。

【請求項 8】 メモリセルアレイ毎に、動作の成功又は失敗を示すメモリセルアレイ毎の第2 Pass/Fail信号を出力することを特徴とする請求項 4 又は 5 に

記載の半導体メモリ。

【請求項 9】 前記第 1 Pass/Fail 信号を出力するか、又は、前記第 2 Pass/Fail 信号を出力するかは、コマンド信号により決定されることを特徴とする請求項 8 に記載の半導体メモリ。

【請求項 10】 セルアレイブロック毎に、前記 2 つ以上のメモリセルアレイのうちの少なくとも n (n は、複数) のメモリセルアレイの動作の成功又は失敗を示す少なくとも n の第 2 Pass/Fail 信号を出力することを特徴とする請求項 4 又は 5 に記載の半導体メモリ。

【請求項 11】 前記第 1 Pass/Fail 信号を出力するか、又は、前記第 2 Pass/Fail 信号を出力するかは、コマンド信号により決定されることを特徴とする請求項 10 に記載の半導体メモリ。

【請求項 12】 前記複数のメモリセルユニットの各々は、1 つ以上のメモリセルを含んでいることを特徴とする請求項 1 に記載の半導体メモリ。

【請求項 13】 前記メモリセルは、電氣的にデータの書き換えが可能な不揮発性メモリであることを特徴とする請求項 12 に記載の半導体メモリ。

【請求項 14】 前記複数のメモリセルユニットの各々は、NAND セル型を有していることを特徴とする請求項 1 に記載の半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、並列動作を行うことが可能な複数のメモリセルアレイを有する不揮発性半導体メモリに関する。

【0002】

【従来の技術】

従来、半導体メモリの一つとして、電氣的に書き換えが可能な EEPROM が知られている。なかでも、メモリセルを複数個直列接続して NAND セルブロックを構成する NAND セル型 EEPROM は、高集積化ができるものとして注目されている（例えば、特許文献 1 を参照）。

【0003】

NANDセル型EEPROMの一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート(電荷蓄積層)と制御ゲートが積層されたFET-MOS構造を有する。そして、複数個のメモリセルが隣接するもの同士でソース・ドレインを共用する形で直列接続されてNANDセルを構成し、これを一単位として、ビット線に接続するものである。

【0004】

このようなNANDセルがマトリックス配列されてメモリセルアレイが構成される。メモリセルアレイは、p型基板又はp型ウェル内に集積形成される。

【0005】

メモリセルアレイの列方向に並ぶNANDセルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、その他端側のソースは、それぞれ選択ゲートトランジスタを介して共通ソース線に接続される。メモリトランジスタの制御ゲート及び選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線(ワード線)、選択ゲート線として共通接続される。

【0006】

このNANDセル型EEPROMの動作は、次の通りである。

【0007】

データ書き込みの動作は、主に、ビット線コンタクトから最も離れた位置のメモリセルから順に行う。

【0008】

まず、データ書き込み動作が開始されると、書き込みデータに応じて、ビット線には、0V(“1”-データ書き込みビット線)又は電源電圧 V_{cc} (“0”-データ書き込みビット線)を与え、ビット線コンタクト側の選択ゲート線には、 V_{cc} が与えられる。この場合、“1”-データ書き込みビット線に接続された選択NANDセルでは、選択ゲートトランジスタを介してNANDセル内チャネル部が0Vに固定される。

【0009】

一方、“1”-データ書き込みビット線に接続された選択NANDセルでは、

NANDセル内チャネル部は、選択ゲートトランジスタを介して、 $[V_{cc} - V_{tsg}]$ (V_{tsg} は、選択ゲートトランジスタの閾値電圧) まで充電された後に、フローティング状態となる。続いて、選択NANDセル内の選択メモリセルの制御ゲート線が、 $0V \rightarrow V_{pp}$ ($=20V$ 程度：書き込み用高電圧)、選択NANDセル内の他の制御ゲート線が、 $0V \rightarrow V_{mg}$ ($=10V$ 程度：中間電圧) となる。

【0010】

“1”-データ書き込みビット線に接続された選択NANDセルでは、NAND内チャネル部が $0V$ に固定されているため、選択NANDセル内の選択メモリセルのゲート ($=V_{pp}$ 電位) とチャネル部 ($=0V$) に大きな電位差 ($=20V$ 程度) が発生し、チャネル部から浮遊ゲートに電子注入が生じる。これにより、その選択されたメモリセルのしきい値は、正方向にシフトし、“1”-データの書き込みが完了する。

【0011】

“0”-データ書き込みビット線に接続された選択NANDセルでは、NAND内チャネル部がフローティング状態にある。このため、選択NANDセル内の制御ゲート線とチャネル部の間の容量カップリングの影響により、制御ゲート線電圧の上昇 ($0V \rightarrow V_{pp}$, V_{mg}) に伴い、チャネル部電位がフローティング状態を維持したまま $[V_{cc} - V_{tsg}]$ 電位 $\rightarrow V_{mch}$ ($=8V$ 程度) と上昇する。この時には、選択NANDセル内の選択メモリセルのゲート ($=V_{pp}$ 電位) とチャネル部 ($=V_{mch}$) の間の電位差が $12V$ 程度と比較的小さいため、電子注入が起こらない。従って、選択メモリセルのしきい値は、変化せず、負の状態に維持される。

【0012】

データ消去は、選択されたNANDセルブロック内の全てのメモリセルに対して同時に行われる。即ち、選択されたNANDセルブロック内の全ての制御ゲートを $0V$ とし、ビット線、ソース線、p型ウェル (もしくはp型基板)、非選択NANDセルブロック中の制御ゲート及び全ての選択ゲートに $20V$ 程度の高電圧を印加する。これにより、選択NANDセルブロック中の全てのメモリセルで浮

遊ゲートの電子がp型ウェル（もしくはp型基板）に放出され、しきい値電圧は、負方向にシフトする。

【0 0 1 3】

データ読み出し動作は、選択されたメモリセルの制御ゲートを 0 V とし、それ以外のメモリセルの制御ゲート及び選択ゲートを読み出し用中間電圧 V_{read} ($\leq 4 V$) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0 0 1 4】

【特許文献 1】

特開平 9 - 8 2 9 2 3 号公報

【0 0 1 5】

【発明が解決しようとする課題】

以上のような NAND セル型 EEPROM は、通常、書き込み、消去などの動作が終了した後に、この動作が成功したか、又は、失敗したかを示す Pass/Fail 信号を出力する機能を有している。即ち、例えば、書き込み／消去動作が終了した後に、Pass/Fail 信号をチップ外に出力するためのコマンドを入力すると、I/O パッドから Pass/Fail 信号が出力される。

【0 0 1 6】

また、図 1 4 に示すように、近年の NAND 型 EEPROM は、1 チップ内に複数のメモリセルアレイ Array0 , Array1 , Array2 , Array3 を有し、かつ、高速動作を実現するために、これら複数のメモリセルアレイ Array0 , Array1 , Array2 , Array3 が並列動作するように構成されている。

【0 0 1 7】

この場合、NAND 型 EEPROM には、例えば、書き込み／消去動作が終了した後に、全てのメモリセルアレイに対して書き込み／消去動作が成功したか、又は、少なくとも 1 つのメモリセルアレイに対して書き込み／消去動作が失敗したかを示す Pass/Fail 信号、即ち、チップ全体の Pass/Fail 信号を出力する機能が付加される。また、複数のメモリセルアレイの各々に対して、書き込み／消去動作が成功したか、又は、失敗したかを示す複数の Pass/Fail 信号、即ち、メモリ

セルアレイ毎のPass/Fail信号を出力する機能が付加される。

【0018】

表1は、図14の不揮発性半導体メモリにおけるPass/Fail信号のデータ入出力端子 I/O0～I/O7への割付けの一例を示している。

【0019】

【表1】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0020】

【表2】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0)	Pass → 0 Fail → 1
I/O2	Array(1)	Pass → 0 Fail → 1
I/O3	Array(2)	Pass → 0 Fail → 1
I/O4	Array(3)	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0021】

表1及び表2から分かるように、通常、不揮発性半導体メモリは、チップ全体のPass/Fail信号を出力する機能（表1）を持つと共に、メモリセルアレイ毎のPass/Fail信号を出力する機能（表2）も持っている。

【0022】

そして、例えば、表1の機能を実現するには、コマンド com-A をチップに与えればよく、また、表2の機能を実現するには、コマンド com-B をチップに与えればよい。

【0023】

ところで、図 14 に示すように、パッケージ品に必要なメモリ容量が1チップで足りる場合（パッケージ品＝1ギガビット、メモリチップ容量＝1ギガビット）には、通常、パッケージ品内には、1個のチップのみを入れるが、図 15 に示すように、パッケージ品に必要なメモリ容量が1チップでは足りない場合（パッケージ品＝2ギガビット、メモリチップ容量＝1ギガビット）には、パッケージ品内には、複数チップ、本例では、2個のチップを入れる必要がある。

【0024】

また、図 15 の不揮発性半導体メモリにおけるPass/Fail信号のデータ入出力端子 I/O0～I/O7 への割付けは、図 14 の半導体メモリの場合と同様に、表 1 及び表 2 に示すようになる。

【0025】

即ち、2個のチップの選択は、チップアドレスにより行う。そして、選択されたチップに対して、表 1 又は表 2 に基づくステータスの下で、Pass/Fail信号の出力動作が実行される。

【0026】

図 14 及び図 15 に示すパッケージ品に使用されるチップを第 1 世代とした場合、第 2 世代のチップは、デザインルールの縮小などにより、通常、第 1 世代が有するメモリ容量の 2 倍以上のメモリ容量を有する。従って、例えば、図 15 に示すパッケージ品に、第 2 世代のチップを使用すれば、パッケージ品内には、1個のチップのみを入れればよいため、チップコストの低減を図れる。

【0027】

しかし、従来の不揮発性半導体メモリは、Pass/Fail信号の出力モードとしては、チップ全体のPass/Fail信号の出力モードと、メモリセルアレイ毎のPass/Fail信号の出力モードとからなる 2 種類の出力モードしか持っていない。これは、メモリチップの世代が進んでも同じであった。一方、メモリチップの世代が 1 つ進むと、1チップ内に配置される並列動作可能なメモリセルアレイ数は、2 倍以上に増える。

【0028】

このため、例えば、第 2 世代のチップに対するメモリセルアレイ毎のPass/Fai

1信号の出力においては、表2に示すような第1世代のチップに対するPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けをそのまま使用することができない。

【0029】

従って、第2世代のチップにおけるPass/Fail信号を出力するシステムは、第1世代のチップにおけるそれとは異なるものとなるため、同一のパッケージ品に対して、メモリチップを、単純に、第1世代から第2世代に置き換えるということとはできなくなる。

【0030】

このように、従来は、同一パッケージ品に使用するチップを第1世代から第2世代に置き換えるということは、チップコストの低減を図るに当たって非常に有効となる。しかし、第1世代のチップにおけるPass/Fail信号を出力するシステムと第2世代のチップにおけるPass/Fail信号を出力するシステムとの間には、互換性がないため、結果として、同一パッケージ品に使用するチップを第1世代から第2世代に置き換えることが困難となる、という問題があった。

【0031】

本発明は、このような問題を解決するためになされたものであり、その目的は、Pass/Fail信号を出力するシステムに関して、前世代のチップと後世代のチップとの間に互換性を持たせることにより、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えを容易にし、チップコストの低減を図ることにある。

【0032】

【課題を解決するための手段】

本発明の半導体メモリは、マトリクスに配置される複数のメモリセルユニットから構成される複数のメモリセルアレイを備え、前記複数のメモリセルアレイは、2つ以上のメモリセルアレイからなる複数のセルアレイブロックを構成し、セルアレイブロック毎に、動作の成功又は失敗を示す第1Pass/Fail信号を出力する。

【0033】

前記動作は、通常、前記複数のメモリセルアレイに対して並列に実行される。
前記動作は、書き込み／消去動作であるのが一般的である。

【 0 0 3 4 】

前記第 1 Pass/Fail 信号は、例えば、前記 2 つ以上のメモリセルアレイの全ての動作が成功したか、又は、前記 2 つ以上のメモリセルアレイの少なくとも 1 つの動作が失敗したかを示す Pass/Fail 信号である。

【 0 0 3 5 】

前記第 1 Pass/Fail 信号は、例えば、前記 2 つ以上のメモリセルアレイのうちの選択された 1 つのメモリセルアレイに対して、動作が成功したか、又は、失敗したかを示す Pass/Fail 信号である。

【 0 0 3 6 】

本発明の半導体メモリは、さらに、前記複数のメモリセルアレイの全ての動作が成功したか、又は、前記複数のメモリセルアレイの少なくとも 1 つの動作が失敗したかを示すチップ全体の第 2 Pass/Fail 信号を出力する。

【 0 0 3 7 】

前記第 1 Pass/Fail 信号を出力するか、又は、前記第 2 Pass/Fail 信号を出力するかは、例えば、コマンド信号により決定される。

【 0 0 3 8 】

本発明の半導体メモリは、さらに、メモリセルアレイ毎に、動作の成功又は失敗を示すメモリセルアレイ毎の第 2 Pass/Fail 信号を出力する。

【 0 0 3 9 】

前記第 1 Pass/Fail 信号を出力するか、又は、前記第 2 Pass/Fail 信号を出力するかは、例えば、コマンド信号により決定される。

【 0 0 4 0 】

本発明の半導体メモリは、さらに、セルアレイブロック毎に、前記 2 つ以上のメモリセルアレイのうちの少なくとも n (n は、複数) のメモリセルアレイの動作の成功又は失敗を示す少なくとも n の第 2 Pass/Fail 信号を出力する。

【 0 0 4 1 】

前記第 1 Pass/Fail 信号を出力するか、又は、前記第 2 Pass/Fail 信号を出力す

るかは、例えば、コマンド信号により決定される。

【 0 0 4 2 】

前記複数のメモリセルユニットの各々は、例えば、1つ以上のメモリセルを含んでいる。前記メモリセルは、例えば、電氣的にデータの書き換えが可能な不揮発性メモリである。

【 0 0 4 3 】

前記複数のメモリセルユニットの各々は、例えば、NANDセル型を有する。

【 0 0 4 4 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の半導体メモリについて詳細に説明する。

【 0 0 4 5 】

(1) 概要

図1は、本発明の実施の形態に関わるNANDセル型EEPROMの主要部を示している。

【 0 0 4 6 】

メモリセルアレイ101に対して、データ書き込み、読み出し、再書き込み及びベリファイ読み出しを行うために、ビット線制御回路102が設けられている。このビット線制御回路102は、データ入出力バッファ106につながり、アドレスバッファ104からのアドレス信号を受けるカラムデコーダ103の出力を入力として受ける。

【 0 0 4 7 】

また、メモリセルアレイ101に対して、制御ゲート及び選択ゲートを制御するために、ロウデコーダ105が設けられる。基板電位制御回路107は、メモリセルアレイ101が形成されるp型基板（または、p型ウェル）の電位を制御する。また、データ書き込み動作時に、書き込み用高電圧発生回路109は、書き込み用高電圧 V_{pp} ($\leq 20V$) を発生し、書き込み用中間電圧発生回路110は、中間電圧 V_{mg} ($\leq 10V$) を発生する。

【 0 0 4 8 】

読み出し用中間電圧発生回路111は、データ読出し時に、読み出し用中間電

圧 V_{read} を発生する。また、消去用高電圧発生回路 112 は、消去動作時に、消去用高電圧 V_{pp} ($\leq 20V$) を発生する。

【0049】

ビット線制御回路 102 は、主に、CMOS フリップフロップから成り、書き込みのためのデータのラッチやビット線の電位を読むためのセンス動作、また、書き込み後のベリファイ読み出しのためのセンス動作、さらに、再書き込みデータのラッチを行う。

【0050】

図 2 (a), (b) は、メモリセルアレイの 1 つの NAND セル部分の平面図と等価回路図であり、図 3 (a) は、図 2 (a) の A-A' 線に沿う断面図、図 3 (b) は、図 2 (a) の B-B' 線に沿う断面図である。

【0051】

素子分離酸化膜 12 で囲まれた p 型シリコン基板 (又は p 型ウェル) 11 に、複数の NAND セルからなるメモリセルアレイが形成されている。1 つの NAND セルに着目して説明すると、この例では、8 個のメモリセル M1 ~ M8 が直列接続されて、1 つの NAND セルを構成している。

【0052】

メモリセルは、シリコン基板 11 上に形成される。メモリセルは、ゲート絶縁膜 13 上の浮遊ゲート電極 14 (141, 142, ... 148) と、層間絶縁膜 15 上の制御ゲート電極 16 (161, 162, ... 168) とから構成される。制御ゲート電極 16 (161, 162, ... 168) は、ワード線として機能する。

【0053】

n 型拡散層 (190, 191, ... 1910) は、メモリセルのソース/ドレインとなる。n 型拡散層 (190, 191, ... 1910) は、互いに隣接するメモリセル同士で共用され、その結果、複数のメモリセルが直列接続されて、NAND セルが構成される。

【0054】

NAND セルのドレイン側及びソース側には、それぞれ、選択ゲート電極 14

9, 169, 1410, 1610が形成される。選択ゲート電極149, 169, 1410, 1610は、メモリセルの浮遊ゲート電極14 (141, 142, ... 148) 及び制御ゲート電極16 (161, 162, ... 168) と同時に形成される。

【0055】

メモリセル及び選択トランジスタは、CVD酸化膜17により覆われる。ビット線18は、CVD酸化膜17上に配置され、NANDセルの一端、即ち、ドレイン側拡散層19に接続される。

【0056】

制御ゲート電極16 (161, 162, ... 168) は、制御ゲート線CG1, CG2, ... CG8となり、選択ゲート電極149, 169, 1410, 1610は、選択ゲート線SG1, SG2となる。

【0057】

図4は、マトリクスに配置されたNANDセルから構成されるメモリセルアレイの等価回路を示している。

【0058】

制御ゲート線CG1, CG2, ... CG8及び選択ゲート線SG1, SG2が延びる方向に配置される複数のNANDセルユニットは、1つのブロックを構成する。具体的には、図4の破線で囲まれた領域が1つのブロックとなる。通常読み出し／書き込み動作においては、複数のブロックのうちの1つだけが選択される。選択されたブロックは、選択ブロックとなる。

【0059】

図5は、NANDセル型EEPROMのチップ構成の一例を示している。

【0060】

NANDセル型EEPROMのチップは、メモリセルアレイ、ビット線制御回路、ロウデコーダ回路、パッド領域、及び、[周辺回路+バスライン]領域を含んでいる。

【0061】

NANDセル型EEPROMのチップ構成は、上述のように、複数の要素から

構成されるが、以下（図6以降）の説明では、簡単のため、チップ外形とセルアレイのみを示すことにする。

【0062】

(1) 実施例1

- ・ 2ギガビットパッケージ品に対するチップの置き換え
パッケージ品に必要なメモリ容量が2ギガビットである場合について考える。

【0063】

第1世代のEEPROMチップは、例えば、図14に示すように、4つのメモリセルアレイ Array0, Array1, Array2, Array3 を有し、チップ全体のメモリ容量は、1ギガビットとなっている。

【0064】

この場合、図14に示すように、パッケージ品に必要なメモリ容量が1ギガビットであれば、パッケージ品内には、1個のEEPROMチップを入れれば足りる。しかし、本例では、パッケージ品に必要なメモリ容量は、2ギガビットであるため、図15に示すように、パッケージ品内には、2個のEEPROMチップを入れなければならない。

【0065】

2個のEEPROMチップの選択は、チップアドレスにより実行される。選択されたEEPROMチップでは、コマンド com-A がチップに与えられると、表1に示すPass/Fail信号のデータ入出力端子 I/O0 ~ I/O7 への割付けに従い、チップ全体のPass/Fail信号が出力される。また、コマンド com-B がチップに与えられると、表2に示すPass/Fail信号のデータ入出力端子 I/O0 ~ I/O7 への割付けに従い、メモリセルアレイ毎のPass/Fail信号が出力される。

【0066】

ところで、第1世代（第1のデザインルールを使用した世代）よりも後の第2世代（第1のデザインルールよりも小さい第2のデザインルールを使用した世代）では、1つのEEPROMチップが持つメモリ容量は、第1世代のEEPROMチップのメモリ容量よりも大きくなる。

【 0 0 6 7 】

例えば、第 1 世代の E E P R O M チップの最大メモリ容量が 1 ギガビットである場合には、第 2 世代の E E P R O M チップの最大メモリ容量は、2 ギガビットとなる。この場合には、図 7 に示すように、2 ギガビットパッケージ品に対して、第 1 世代の 2 個の E E P R O M チップを、第 2 世代の 1 個の E E P R O M チップに置き換えることが可能になる。

【 0 0 6 8 】

通常、一定のメモリ容量（例えば、1 ビット）当たりのチップコストは、第 1 世代のチップよりも、第 2 世代のチップの方が小さくなるため、この置き換えにより、パッケージ品のコストの低下を実現できる。

【 0 0 6 9 】

しかし、第 1 世代のチップを第 2 世代のチップに置き換える際に注意しなければならない点は、システムの互換性である。

【 0 0 7 0 】

N A N D セル型 E E P R O M には、通常、チップの Pass/Fail 状態を出力する機能が備えられており、例えば、書き込み／消去動作後に、これらの動作が成功したか、又は、失敗したかを示す Pass/Fail 信号を出力することが可能となっている。この Pass/Fail 信号は、Pass/Fail 出力用コマンドがチップに入力された後、I / O パッドから出力される。

【 0 0 7 1 】

即ち、Pass/Fail 信号出力時の流れとしては、① Pass/Fail 出力用コマンド入力 → ② Pass/Fail 信号の出力、となる。

【 0 0 7 2 】

表 3 及び表 4 は、図 7 の第 2 世代の E E P R O M チップにおける Pass/Fail 信号のデータ入出力端子 I / O 0 ～ I / O 7 への割付けの一例を示している。

【 0 0 7 3 】

【表 3】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0074】

【表 4】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0) or Array(4) Status	Pass → 0 Fail → 1
I/O2	Array(1) or Array(5) Status	Pass → 0 Fail → 1
I/O3	Array(2) or Array(6) Status	Pass → 0 Fail → 1
I/O4	Array(3) or Array(7) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0075】

表3及び表4の例では、使用するデータ入出力端子は、I/O0～I/O7の8本であり、データ入出力端子I/O0～I/O7から出力されるデータは、最大で、8ビットとなっている。これは、本発明におけるチップの置き換えを分かり易くするためのもので、第1世代のEEPROMチップ（表1及び表2）に合せたものである。

【0076】

以下の説明では、このように、8本のデータ入出力端子I/O0～I/O7を使用する例（8ビット出力）について説明するが、本発明は、この場合に限定されるものではなく、例えば1ビット出力、2ビット出力、4ビット出力、16ビット出力、32ビット出力などの場合に応用することも可能である。

【0077】

表3は、チップ全体のPass/Fail信号を出力する場合のステータスを示している。この場合には、Pass/Fail出力用コマンドとして、com-Aがチップに与

えられる。

【0 0 7 8】

チップ全体のPass/Fail信号の出力動作では、チップ内の全てのメモリセルアレイに対して所定の動作が成功した場合には、Pass信号（＝“0”）を出力し、チップ内の少なくとも1つのメモリセルアレイに対して所定の動作が失敗した場合には、Fail信号（＝“1”）を出力する。チップ全体のPass/Fail信号は、データ入出力端子 I / O 0 から出力される。

【0 0 7 9】

チップ全体のPass/Fail信号は、例えば、図7のEEPROMチップの場合、8つのメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 からそれぞれ出力されるPass/Fail信号の論理和（オア）をとることにより得られる（Pass＝“0”、Fail＝“1”の場合）。

【0 0 8 0】

表3におけるデータ入出力端子 I / O 0 ～ I / O 7 のステータスは、表1におけるデータ入出力端子 I / O 0 ～ I / O 7 のステータスと一致している。例えば、いずれの場合も、チップ全体のPass/Fail信号は、データ入出力端子 I / O 0 から出力される。

【0 0 8 1】

従って、第2世代のEEPROMに、チップ全体のPass/Fail信号を出力する機能を設けることに関しては、第1世代のチップと第2世代のチップとの間で互換性が保たれており、図15に示す2個の第1世代チップを用いた2ギガビットパッケージ品を、図7に示す1個の第2世代チップを用いた2ギガビットパッケージ品に置き換えることができる。

【0 0 8 2】

表4は、チップ全体のPass/Fail信号を出力すると共に、複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号を出力する場合のステータスを示している。この場合には、Pass/Fail出力用コマンドとして、com-Bがチップに与えられる。

【0 0 8 3】

チップ全体のPass/Fail信号の出力動作については、表3で、既に説明したため、ここでは、省略する。

【0084】

複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号の出力動作では、セルアレイブロック内の全てのメモリセルアレイに対して所定の動作が成功した場合には、そのセルアレイブロックからPass信号(=“0”)を出力し、セルアレイブロック内の少なくとも1つのメモリセルアレイに対して所定の動作が失敗した場合には、そのセルアレイブロックからFail信号(=“1”)を出力する。セルアレイブロック毎のPass/Fail信号は、データ入出力端子I/O1～I/O4から出力される。

【0085】

セルアレイブロック毎のPass/Fail信号は、例えば、図7のEEPROMチップの場合、1つのセルアレイブロックを構成する2つのメモリセルアレイ Array0, Array4 からそれぞれ出力されるPass/Fail信号の論理和(オア)をとることにより得られる(Pass=“0”、Fail=“1”の場合)。他のセルアレイブロックについても、同様である。

【0086】

メモリセルアレイ Array0, Array4 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O1から出力され、メモリセルアレイ Array1, Array5 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O2から出力され、メモリセルアレイ Array2, Array6 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O3から出力され、メモリセルアレイ Array3, Array7 からなるセルアレイブロックのPass/Fail信号は、データ入出力端子I/O4から出力される。

【0087】

表4におけるデータ入出力端子I/O0～I/O7のステータスは、表2におけるデータ入出力端子I/O0～I/O7のステータスと一致している。例えば、いずれの場合も、Pass/Fail信号は、データ入出力端子I/O0～I/O4から出力される。

【 0 0 8 8 】

従って、第 2 世代の E E P R O M に、チップ全体の Pass/Fail 信号を出力する機能を設けると共に、複数のメモリセルアレイからなるセルアレイブロック毎の Pass/Fail 信号を出力する機能を設ける場合には、第 1 世代のチップと第 2 世代のチップとの間で互換性が保たれており、図 1 5 に示す 2 個の第 1 世代チップを用いた 2 ギガビットパッケージ品を、図 7 に示す 1 個の第 2 世代チップを用いた 2 ギガビットパッケージ品に置き換えることができる。

【 0 0 8 9 】

ここで、例えば、2 ギガビットパッケージ品に対して、第 1 世代の 2 個のチップ（1 個のチップのメモリ容量は、1 ギガビット）から第 2 世代の 1 個のチップ（1 個のチップのメモリ容量は、2 ギガビット）に置き換える場合に、両世代の間でシステムの互換性を確保するための原理について説明する。

【 0 0 9 0 】

まず、2 ギガビットパッケージ品内に第 1 世代の 2 個のチップを搭載するシステムの場合には、図 1 5 に示すように、1 ビットのチップアドレスにより、チップの選択を行う。Pass/Fail 信号は、選択されたチップのみから出力される。このときの選択されたチップにおけるデータ入出力端子 I / O 0 ~ I / O 7 のステータスは、例えば、表 2 に示すようになる。

【 0 0 9 1 】

ところで、パッケージ品に接続された外部装置からパッケージ品を見た場合には、図 1 5 のパッケージ品は、図 6 に示すようなチップイメージとなる。即ち、図 1 5 のパッケージ品は、図 6 のパッケージ品に等しいとみなすことができる。図 6 では、パッケージ品内には、1 個のチップが搭載され、そのチップ内には、4 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 が配置される。また、1 個のメモリセルアレイ Array i (i = 0, 1, 2, 3) は、2 つの領域を有し、その 2 つの領域は、チップアドレスにより選択される。表 2 のステータスの下で、4 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 からは、Pass/Fail 信号が出力される。

【 0 0 9 2 】

図 6 において、4 個のメモリセルアレイ（点線で囲んだ部分） Array0 , Array1 , Array2 , Array3 を、それぞれ、セルアレイブロックと考え、1 個のメモリセルアレイ Array i 内の 2 つの領域を、それぞれ、独立したメモリセルアレイと考えると、図 6 のパッケージ品は、第 2 世代のチップを使用した図 7 のパッケージ品に等しくなる。

【 0 0 9 3 】

但し、図 7 のパッケージ品では、図 6 のチップアドレスに対応するものではなく、また、1 チップ内には、8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 が存在する。

【 0 0 9 4 】

通常、書き込み、消去、読み出しなどの動作においては、高速化を実現するために、8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 は、並列動作する。このため、第 2 世代のチップにおいて、メモリセルアレイ毎の Pass/Fail 信号の出力形式を採用すると、少なくとも、8 つの Pass/Fail 信号を出力するために、8 個のデータ入出力端子が必要になる。

【 0 0 9 5 】

この場合には、表 2 に示すデータ入出力端子のステータスに等しいステータスを採用することができず、第 1 世代のチップと第 2 世代のチップとの間で、システムの互換性を確保することができない。

【 0 0 9 6 】

そこで、図 7 に示すような第 2 世代のチップにおいては、2 つのメモリセルアレイを含むセルアレイブロック（点線で囲んだ部分）から 1 つの Pass/Fail 信号を出力するようなシステムを構成する。

【 0 0 9 7 】

この場合には、図 7 における 4 つのセルアレイブロックから 4 つの Pass/Fail 信号が出力されることになるため、表 4 に示すようなデータ入出力端子 I / O 0 ~ I / O 7 のステータスにより、Pass/Fail 信号を出力できる。つまり、第 1 世代のチップと第 2 世代のチップとの間で、システムの互換性を確保できる。

【0 0 9 8】

なお、セルアレイブロックから 1 つの Pass/Fail 信号を出力するようなシステムとは、例えば、セルアレイブロックを構成する複数のメモリセルアレイからそれぞれ出力される Pass/Fail 信号の論理和（オア）をとり、これを、セルアレイブロックの Pass/Fail 信号とするようなシステムをいう（Pass = “0”、Fail = “1” の場合）。

【0 0 9 9】

本例では、第 2 世代のチップのメモリセルアレイの数（メモリ容量）が、第 1 世代のチップのメモリセルアレイの数（メモリ容量）の 2 倍になる場合について述べたが、本発明は、一般に、メモリセルアレイの数が n （ n は自然数）倍になる場合に適用できる。この場合には、セルアレイブロック内のメモリセルアレイの数は、全てのセルアレイブロックの間で、等しくなる。

【0 1 0 0】

また、これらの場合に限らず、本発明は、第 2 世代のチップのメモリセルアレイの数が、第 1 世代のチップのメモリセルアレイの数よりも単に多くなる場合にも、応用することができる。この場合には、セルアレイブロック内のメモリセルアレイの数は、一定とならない。

【0 1 0 1】

本例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和をとった信号が出力されるが、Pass = “1”、Fail = “0” の場合には、論理積（アンド）となる。

【0 1 0 2】

また、本例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和又は論理積をとった 1 つの信号を出力するが、これに代えて、そのセルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号を選択的に出力するようにしてもよい。

【0 1 0 3】

以上のように、本発明によれば、チップ全体の Pass/Fail 信号を出力する機能及びメモリセルアレイ毎の Pass/Fail 信号を出力する機能に加え、複数のメモリ

セルアレイからなるセルアレイブロックを新規に設定し、セルアレイブロック毎のPass/Fail信号を出力する機能を新たに設けている。

【0104】

従って、Pass/Fail信号を出力するシステムに関して、前世代のチップと後世代のチップとの間に互換性を持たせることができるため、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えを容易にし、チップコストの低減を図ることができる。

【0105】

次に、上述した本発明の不揮発性半導体メモリに、さらに、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加する例について説明する。

【0106】

表5は、図7の第2世代のEEPROMチップにおけるPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けの一例を示している。

【0107】

【表5】

(c) com-Q

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

【0108】

同一パッケージ品に対して、第1世代のチップから第2世代のチップへの置き換えのみを考慮した場合には、例えば、図15に示す第1世代のチップにおけるデータ入出力端子I/O0～I/O7のステータス（表1及び表2）に対して、図7に示す第2世代のチップにおけるデータ入出力端子I/O0～I/O7のステータス（表3及び表4）を規定すれば足りる。

【0109】

しかし、例えば、図7に示す第2世代のチップの特徴の一つは、8個のメモリ

セルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 を並列動作させることによる高速動作機能にある。

【0 1 1 0】

この高速動作機能を実効的なものにするには、8 個のメモリセルアレイ Array 0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 を並列動作させると共に、メモリセルアレイ毎のPass/Fail信号を出力する機能を付加することが重要となる。

【0 1 1 1】

そこで、図 7 に示す第 2 世代の E E P R O M チップに、メモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加する。この機能を実施するには、例えば、P ass/Fail 出力用コマンドとして、c o m - C をチップに与えればよい。

【0 1 1 2】

この場合、例えば、Pass/Fail 信号のデータ入出力端子 I / O 0 ~ I / O 7 への割付けは、表 5 に示すようになる。即ち、8 個のメモリセルアレイ Array0 , A rray1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 から出力される 8 個の Pass/Fail 信号は、8 個のデータ入出力端子 I / O 0 ~ I / O 7 から出力される。

【0 1 1 3】

このように、本例では、メモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加しているため、同一パッケージ品に対して、第 1 世代のチップから第 2 世代のチップへの置き換えを容易化できると共に、第 2 世代のチップにおける高速動作機能を実現できる。

【0 1 1 4】

次に、上述の本発明の不揮発性半導体メモリの変形例について説明する。

【0 1 1 5】

上述の例では、セルアレイブロックからは、そのセルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和又は論理積をとった 1 つの信号を出力したが、本例では、そのセルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号を選択的に出力する。

【0116】

このように、本例では、セルアレイブロック内の選択された1つのメモリセルアレイのPass/Fail信号を、セルアレイブロック毎に出力する。

【0117】

表6～表9は、図7の第2世代のEEPROMチップにおけるPass/Fail信号のデータ入出力端子I/O0～I/O7への割付けの一例を示している。

【0118】

【表6】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0119】

コマンドcom-Aが入力された場合には、チップ全体のPass/Fail信号が出力される。このときのデータ入出力端子I/O0～I/O7のステータスは、表6に示すようになる。

【0120】

【表7】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0) Status	Pass → 0 Fail → 1
I/O2	Array(1) Status	Pass → 0 Fail → 1
I/O3	Array(2) Status	Pass → 0 Fail → 1
I/O4	Array(3) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0121】

コマンドcom-Bが入力された場合には、セルアレイブロック毎のPass/Fail信号が出力される。このときのデータ入出力端子I/O0～I/O7のステータスは、表7に示すようになる。

タスは、表 7 に示すようになる。

【 0 1 2 2 】

4 つのセルアレイブロック内の 8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 のうちの 4 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 が選択される。これら選択されたメモリセルアレイ Array0 , Array1 , Array2 , Array3 の Pass/Fail 信号が、セルアレイブロック毎に出力される。

【 0 1 2 3 】

【表 8】

(c) com-C

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(4) Status	Pass → 0 Fail → 1
I/O2	Array(5) Status	Pass → 0 Fail → 1
I/O3	Array(6) Status	Pass → 0 Fail → 1
I/O4	Array(7) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【 0 1 2 4 】

コマンド com-C が入力された場合には、セルアレイブロック毎の Pass/Fail 信号が出力される。このときのデータ入出力端子 I/O0 ~ I/O7 のステータスは、表 8 に示すようになる。

【 0 1 2 5 】

4 つのセルアレイブロック内の 8 個のメモリセルアレイ Array0 , Array1 , Array2 , Array3 , Array4 , Array5 , Array6 , Array7 のうちの 4 個のメモリセルアレイ Array4 , Array5 , Array6 , Array7 が選択される。これら選択されたメモリセルアレイ Array4 , Array5 , Array6 , Array7 の Pass/Fail 信号が、セルアレイブロック毎に出力される。

【 0 1 2 6 】

【表 9】

(d) com-D

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

【0127】

コマンド com-D が入力された場合には、メモリセルアレイ毎の Pass/Fail 信号が出力される。このときのデータ入出力端子 I/O0 ~ I/O7 のステータスは、表 9 に示すようになる。

【0128】

本例においては、表 6 のステータスは、表 1 のステータスと同じである。また、表 7 及び表 8 のステータスは、表 2 のステータスと同じである。従って、同一パッケージ品に対して、第 1 世代のチップから第 2 世代のチップへの置き換えを容易化できる。さらに、表 9 に示すようなメモリセルアレイ毎の Pass/Fail 信号の出力機能を設ければ、第 2 世代のチップにおける高速動作機能を実現できる。

【0129】

以上、本発明の説明を行ったが、本発明は、上述の例に限定されるものではなく、種々変更可能である。

【0130】

上述の例では、第 1 世代の EEPROM チップが 4 個のメモリセルアレイを有し、第 2 世代の EEPROM チップが 8 個のメモリセルアレイを有する場合に、同一パッケージ品に対して、第 1 世代の 2 個のチップを第 2 世代の 1 個のチップに置き換える例について説明した。

【0131】

これに対し、例えば、本発明は、第 1 世代の EEPROM チップが 4 個のメモリセルアレイを有し、第 2 世代の EEPROM チップが 8 個のメモリセルアレイを有し、第 3 世代の EEPROM チップが 16 個のメモリセルアレイを有する場

合に、同一パッケージ品に対して、第1世代の4個のチップを第2世代の2個のチップに置き換え、又は、第2世代の2個のチップを第3世代の1個のチップに置き換える場合にも適用できる。

【0132】

(2) 実施例2

- ・ 4ギガビットパッケージ品に対するチップの置き換え

図8は、4ギガビットパッケージ品に、第1世代のチップを4個搭載した例を示している。図9は、4ギガビットパッケージ品に、第2世代のチップを2個搭載した例を示している。図10は、4ギガビットパッケージ品に、第3世代のチップを1個搭載した例を示している。

【0133】

このように、同一パッケージ品に対して、第1世代のチップから第2世代のチップへの置き換えを実行し、さらに、第2世代のチップから第3世代のチップへの置き換えを実行することができる。

【0134】

ここで、第1世代のチップは、4個のメモリセルアレイと1ギガビットのメモリ容量を有し、第2世代のチップは、8個のメモリセルアレイと2ギガビットのメモリ容量を有し、第3世代のチップは、16個のメモリセルアレイと4ギガビットのメモリ容量を有するものとする。

【0135】

図8に示す第1世代のEEPROMチップは、図15に示す第1世代のEEPROMチップと同様に、表1に示すチップ全体のPass/Fail信号を出力する機能及び表2に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を有している。

【0136】

図9に示す第2世代のEEPROMチップは、図7に示す第2世代のEEPROMチップと同様に、表3又は表6に示すチップ全体のPass/Fail信号を出力する機能及び表4又は表7、8に示すセルアレイブロック毎のPass/Fail信号を出力する機能を有している。さらに、図9に示す第2世代のEEPROMチップは

、図 7 に示す第 2 世代の E E P R O M チップと同様に、表 5 又は表 9 に示すメモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加してもよい。

【0137】

図 10 に示す第 3 世代の E E P R O M チップは、表 10 に示すチップ全体の Pass/Fail 信号を出力する機能及び表 11 に示すセルアレイブロック毎の Pass/Fail 信号を出力する機能を有している。

【0138】

表 11 の機能は、セルアレイブロック内の複数のメモリセルアレイの Pass/Fail 信号の論理和又は論理積をとるものであるが、表 7 及び表 8 の場合と同様に、選択されたメモリセルアレイの Pass/Fail 信号を出力する機能にしてもよい。

【0139】

【表 10】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0140】

【表 11】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0), Array(4), Array(8) or Array(12) Status	Pass → 0 Fail → 1
I/O2	Array(1), Array(5), Array(9) or Array(13) Status	Pass → 0 Fail → 1
I/O3	Array(2), Array(6), Array(10) or Array(14) Status	Pass → 0 Fail → 1
I/O4	Array(3), Array(7), Array(11) or Array(15) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0141】

さらに、図 10 に示す第 3 世代の E E P R O M チップは、表 12 及び表 13 に示すメモリセルアレイ毎の Pass/Fail 信号を出力する機能を付加してもよい。

【0142】

【表12】

(c) com-C

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

【0143】

【表13】

(d) com-D

	STATUS	OUTPUT
I/O0	Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(15) Status	Pass → 0 Fail → 1

【0144】

図10では、16個のメモリセルアレイArray0, Array1, Array2, Array3, Array4, Array5, Array6, Array7, Array8, Array9, Array10, Array11, Array12, Array13, Array14, Array15 に対して、データ入出力端子 I/O0 ~ I/O7 は、8個しかないため、表12及び表13に示すように、メモリセルアレイ毎のPass/Fail信号は、2回 (com-C, com-D) で読み出す。

【0145】

表12及び表13の機能は、セルアレイブロック内の選択された複数のメモリセルアレイのPass/Fail信号を、セルアレイブロック毎に出力する機能ということもできる。

【0146】

図11は、4ギガビットパッケージ品に、第2世代のチップを2個搭載した例

を示している。図12は、外部装置から図11のパッケージ品を見た場合のチップイメージを示している。図13は、4ギガビットパッケージ品に、第3世代のチップを1個搭載した例を示している。

【0147】

図11に示す第2世代のEEPROMチップは、図7に示す第2世代のEEPROMチップと同様に、表3又は表6に示すチップ全体のPass/Fail信号を出力する機能及び表4又は表7、8に示すセルアレイブロック毎のPass/Fail信号を出力する機能を有している。さらに、図9に示す第2世代のEEPROMチップは、図7に示す第2世代のEEPROMチップと同様に、表5又は表9に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を付加してもよい。

【0148】

図13に示す第3世代のEEPROMチップは、表14に示すチップ全体のPass/Fail信号を出力する機能及び表15に示すセルアレイブロック毎のPass/Fail信号を出力する機能を有している。

【0149】

表15の機能は、セルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和又は論理積をとるものであるが、表7及び表8の場合と同様に、選択されたメモリセルアレイのPass/Fail信号を出力する機能にしてもよい。

【0150】

【表14】

(a) com-A

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Not Used	0
I/O2	Not Used	0
I/O3	Not Used	0
I/O4	Not Used	0
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0151】

【表 15】

(b) com-B

	STATUS	OUTPUT
I/O0	Chip Status - I	Pass → 0 Fail → 1
I/O1	Array(0), Array(4), Array(8) or Array(12) Status	Pass → 0 Fail → 1
I/O2	Array(1), Array(5), Array(9) or Array(13) Status	Pass → 0 Fail → 1
I/O3	Array(2), Array(6), Array(10) or Array(14) Status	Pass → 0 Fail → 1
I/O4	Array(3), Array(7), Array(11) or Array(15) Status	Pass → 0 Fail → 1
I/O5	Not Used	0
I/O6	Ready/Busy	Busy → 0 Ready → 1
I/O7	Write Protect	Protect → 0 Not Protect → 1

【0152】

さらに、図13に示す第3世代のEEPROMチップは、表16及び表17に示すメモリセルアレイ毎のPass/Fail信号を出力する機能を付加してもよい。

【0153】

【表 16】

(c) com-C

	STATUS	OUTPUT
I/O0	Array(0) Status	Pass → 0 Fail → 1
I/O1	Array(1) Status	Pass → 0 Fail → 1
I/O2	Array(2) Status	Pass → 0 Fail → 1
I/O3	Array(3) Status	Pass → 0 Fail → 1
I/O4	Array(4) Status	Pass → 0 Fail → 1
I/O5	Array(5) Status	Pass → 0 Fail → 1
I/O6	Array(6) Status	Pass → 0 Fail → 1
I/O7	Array(7) Status	Pass → 0 Fail → 1

【0154】

【表 17】

(d) com-D

	STATUS	OUTPUT
I/O0	Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(15) Status	Pass → 0 Fail → 1

【0155】

図13では、16個のメモリセルアレイArray0, Array1, Array2, Array3, Array4, Array5, Array6, Array7, Array8, Array9, Array10, Array11, Array12, Array13, Array14, Array15が示されている。

1 , Array12 , Array13 , Array14 , Array15 に対して、データ入出力端子 I / O 0 ~ I / O 7 は、8 個しかないため、表 1 6 及び表 1 7 に示すように、メモリセルアレイ毎のPass/Fail信号は、2 回 (c o m - C , c o m - D) で読み出す。

【 0 1 5 6 】

本例では、さらに、表 1 5 のセルアレイブロック内の複数のメモリセルアレイのPass/Fail信号の論理和又は論理積をとる機能と、表 1 6 及び表 1 7 のメモリセルアレイ毎のPass/Fail信号を出力する機能とを組み合わせても良い。

【 0 1 5 7 】

【表 1 8】

(e) com-E

	STATUS	OUTPUT
I/O0	Array(0) or Array(8) Status	Pass → 0 Fail → 1
I/O1	Array(1) or Array(9) Status	Pass → 0 Fail → 1
I/O2	Array(2) or Array(10) Status	Pass → 0 Fail → 1
I/O3	Array(3) or Array(11) Status	Pass → 0 Fail → 1
I/O4	Array(4) or Array(12) Status	Pass → 0 Fail → 1
I/O5	Array(5) or Array(13) Status	Pass → 0 Fail → 1
I/O6	Array(6) or Array(14) Status	Pass → 0 Fail → 1
I/O7	Array(7) or Array(15) Status	Pass → 0 Fail → 1

【 0 1 5 8 】

表 1 8 の機能は、例えば、図 1 3 のメモリセルアレイArray0 , Array8 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray0 , Array8 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子 I / O 0 から出力したものである。

【 0 1 5 9 】

同様に、メモリセルアレイArray1 , Array9 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray1 , Array9 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子 I / O 1 から出力する。

【 0 1 6 0 】

メモリセルアレイArray2 , Array10 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray2 , Array10 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子 I / O 2 から出力する。

【0161】

メモリセルアレイArray3 , Array11 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray3 , Array11 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子I/O3から出力する。

【0162】

メモリセルアレイArray4 , Array12 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray4 , Array12 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子I/O4から出力する。

【0163】

メモリセルアレイArray5 , Array13 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray5 , Array13 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子I/O5から出力する。

【0164】

メモリセルアレイArray6 , Array14 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray6 , Array14 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子I/O6から出力する。

【0165】

メモリセルアレイArray7 , Array15 のPass/Fail信号の論理和又は論理積をとり、その結果を、メモリセルアレイArray7 , Array15 からなるセルアレイブロックのPass/Fail出力として、データ入出力端子I/O7から出力する。

【0166】

(3) その他

上述の例では、1個のNANDセルを構成する直列接続されたメモリセルの数が8個の場合について説明したが、1個のNANDセルは、8個ではなく、例えば、2、4、16、32、64個などであってもよい。

【0167】

本発明は、2つの選択トランジスタの間に1つのメモリセルのみが配置されるいわゆる3t1r-NANDセルにも適用できる。

【0168】

上述の例では、NANDセル型EEPROMについて説明を行なったが、本発明は、NANDセル型EEPROM以外のデバイス、例えば、NORセル型EEPROM、DINORセル型EEPROM、ANDセル型EEPROM、選択トランジスタ付きNORセル型EEPROMなどにも適用できる。

【0169】

なお、DINORセル型EEPROMの詳細に関しては、例えば、”H. Onoda et al., IEDM Tech. Digest, 1992, pp. 599-602” に、ANDセル型EEPROMの詳細に関しては、例えば、”H. Kume et al., IEDM Tech. Digest, 1992, pp. 991-993” に記載されている。

【0170】

本発明は、主に、電氣的に書き換えが可能な不揮発性半導体メモリに適用されるが、例えば、その他の不揮発性半導体メモリ、DRAMや、SRAMなどにも適用できると考えられる。

【0171】

以上、実施例を用いて本発明の説明を行なったが、本発明は、その要旨を逸脱しない範囲で種々変更可能である。

【0172】

【発明の効果】

以上、説明したように、本発明の例によれば、チップ動作に関するPass/Fail結果を出力するに当たり、チップ全体のPass/Fail信号、メモリセルアレイ毎のPass/Fail信号に加えて、チップ内の複数のメモリセルアレイからなるセルアレイブロック毎のPass/Fail信号を出力可能とした。これにより、後世代のチップ内にセルアレイブロックを1個以上設けることにより、同一パッケージ品に対して、前世代のチップから後世代のチップへの置き換えが可能になる。

【0173】

なお、前世代のチップから後世代のチップへの置き換えに際しては、後世代のチップ内のセルブロックの数は、前世代のチップ内のメモリセルアレイの数又はセルブロックの数と同じにするのがよい。

【0174】

この置き換えが可能になったことにより、チップコストが低い後世代のチップを大容量パッケージ品に対して使用することができ、その結果、安価なパッケージ品を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の例に関わる E E P R O M の主要部を示すブロック図。

【図 2】

N A N D セルの例を示す図。

【図 3】

N A N D セルの構造例を示す断面図。

【図 4】

N A N D セルアレイの回路例を示す回路図。

【図 5】

N A N D セル型 E E P R O M のチップレイアウトの例を示す図。

【図 6】

外部装置から図 1 5 のパッケージ品を見た場合のチップイメージを示す図。

【図 7】

第 2 世代の 1 個のチップを搭載したパッケージ品を示す図。

【図 8】

第 1 世代の 4 個のチップを搭載したパッケージ品を示す図。

【図 9】

第 2 世代の 2 個のチップを搭載したパッケージ品を示す図。

【図 1 0】

第 3 世代の 1 個のチップを搭載したパッケージ品を示す図。

【図 1 1】

第 2 世代の 2 個のチップを搭載したパッケージ品を示す図。

【図 1 2】

外部装置から図 1 1 のパッケージ品を見た場合のチップイメージを示す図。

【図 1 3】

第 3 世代の 1 個のチップを搭載したパッケージ品を示す図。

【図 1 4】

第 1 世代の 1 個のチップを搭載したパッケージ品を示す図。

【図 1 5】

第 1 世代の 2 個のチップを搭載したパッケージ品を示す図。

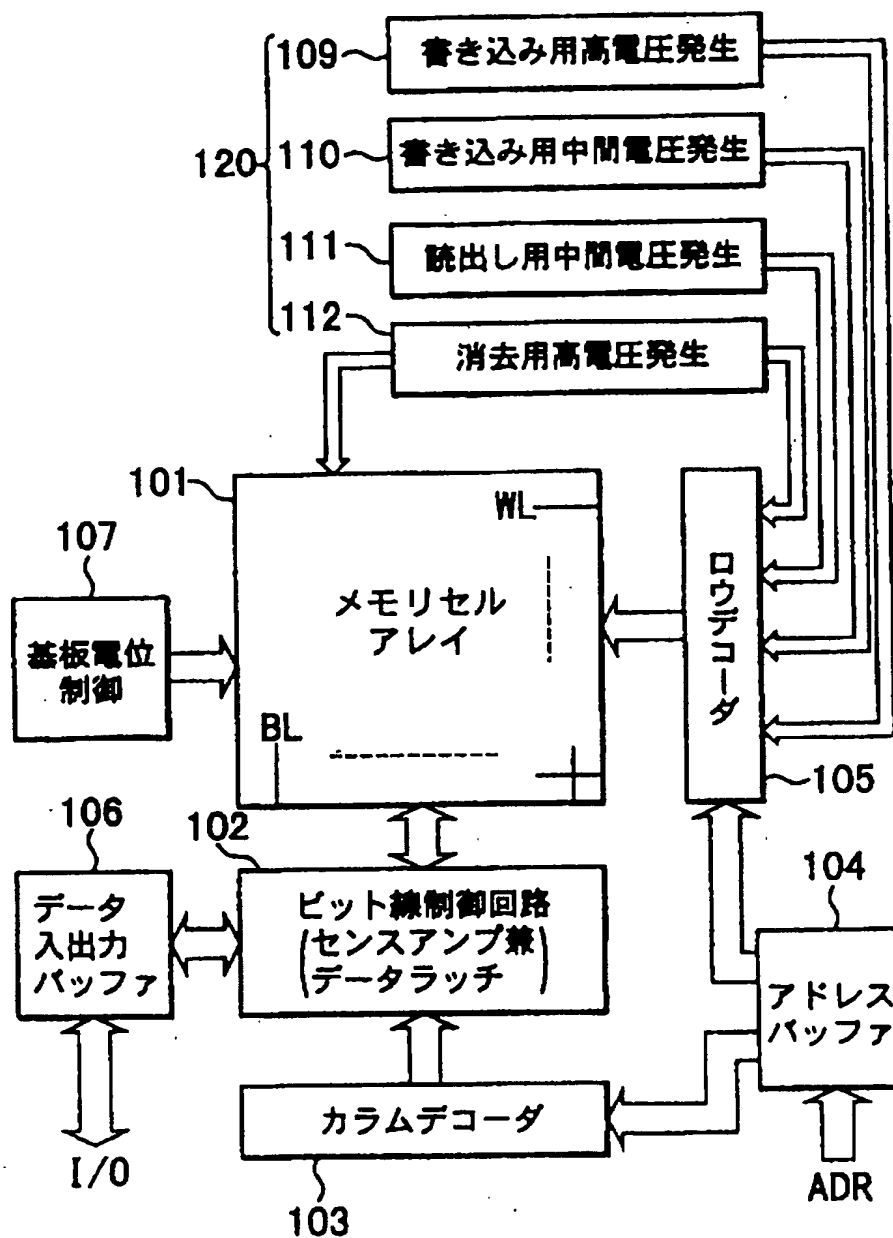
【符号の説明】

- | | |
|-------|-----------------|
| 1 0 1 | ：メモリセルアレイ、 |
| 1 0 2 | ：ビット線制御回路、 |
| 1 0 3 | ：カラムデコーダ、 |
| 1 0 4 | ：アドレスバッファ、 |
| 1 0 5 | ：ロウデコーダ、 |
| 1 0 6 | ：データ入出力バッファ、 |
| 1 0 7 | ：基板バイアス回路、 |
| 1 0 9 | ：書き込み用高電圧発生回路、 |
| 1 1 0 | ：書き込み用中間電圧発生回路、 |
| 1 1 1 | ：読み出し用中間電圧発生回路、 |
| 1 1 2 | ：消去用高電圧発生回路。 |

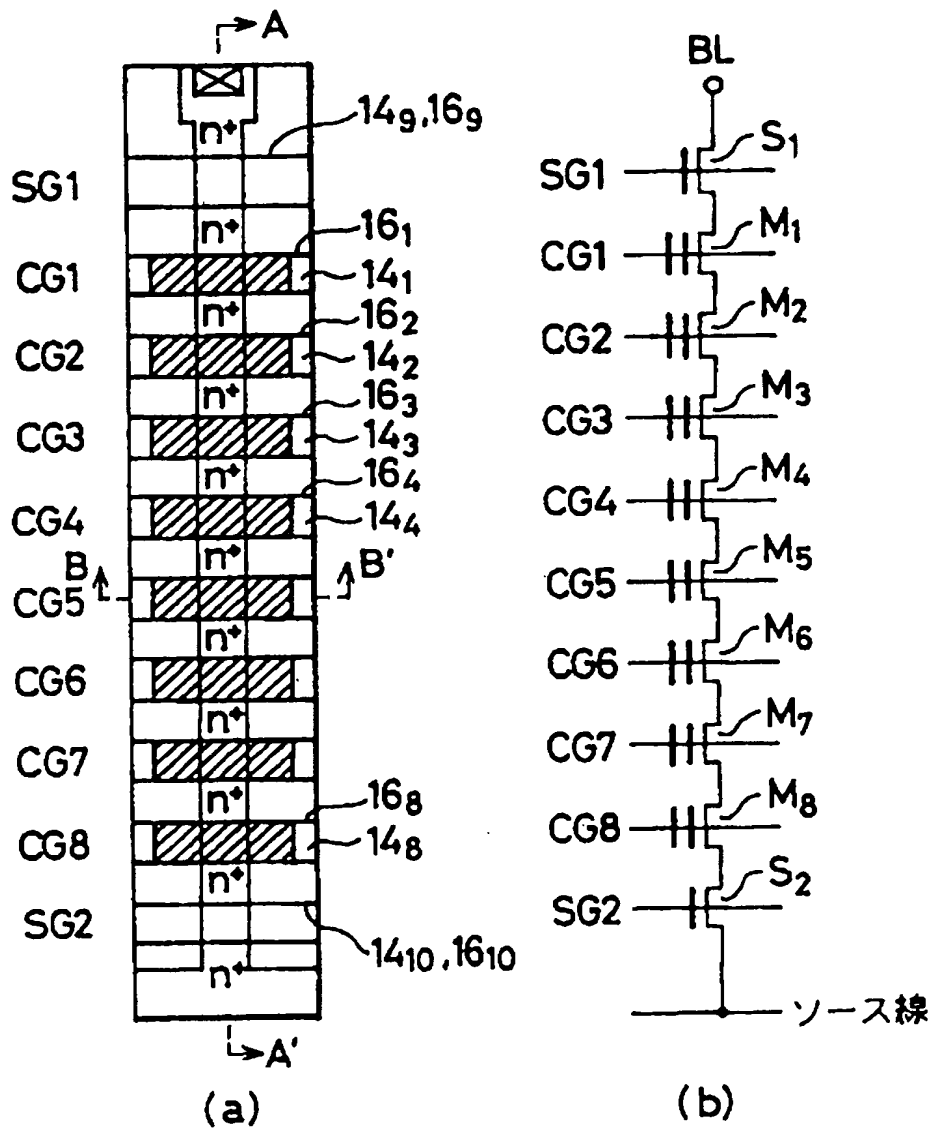
【書類名】

図面

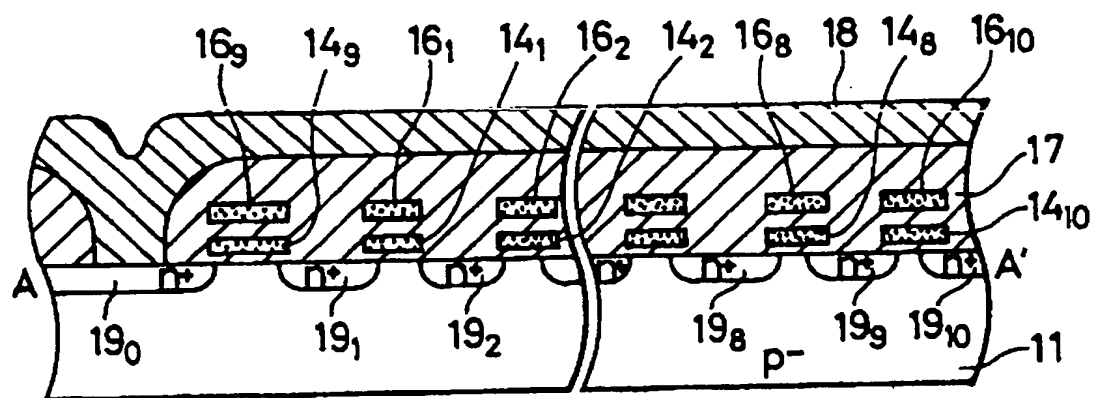
【図 1】



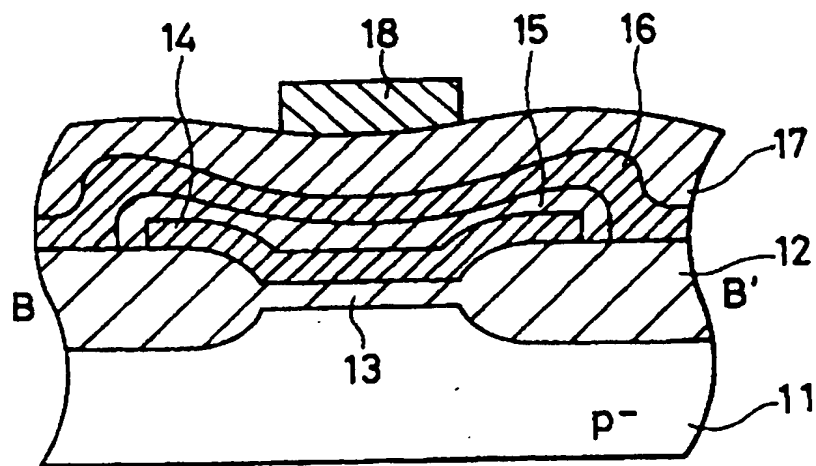
【図 2】



【図 3】

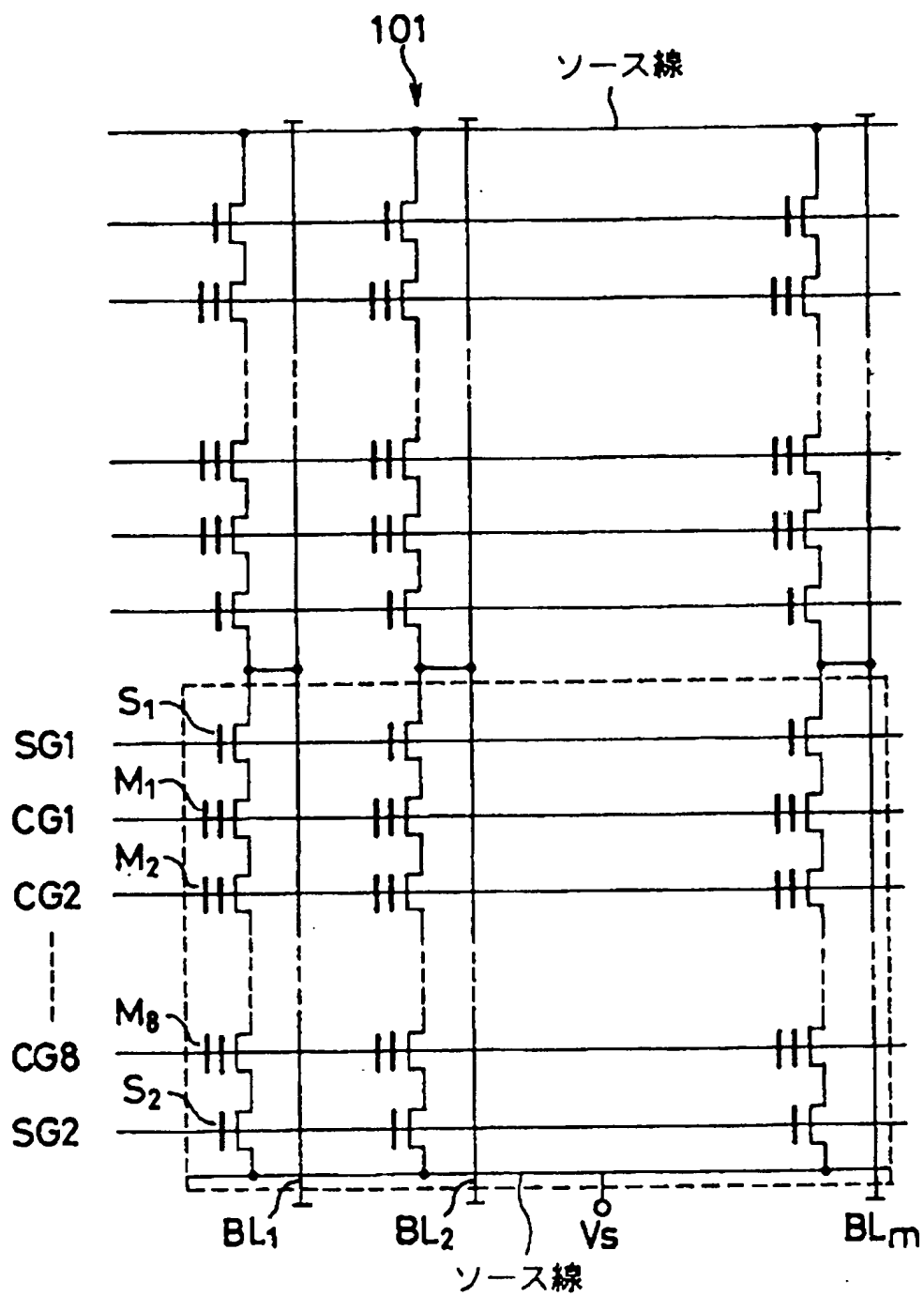


(a)

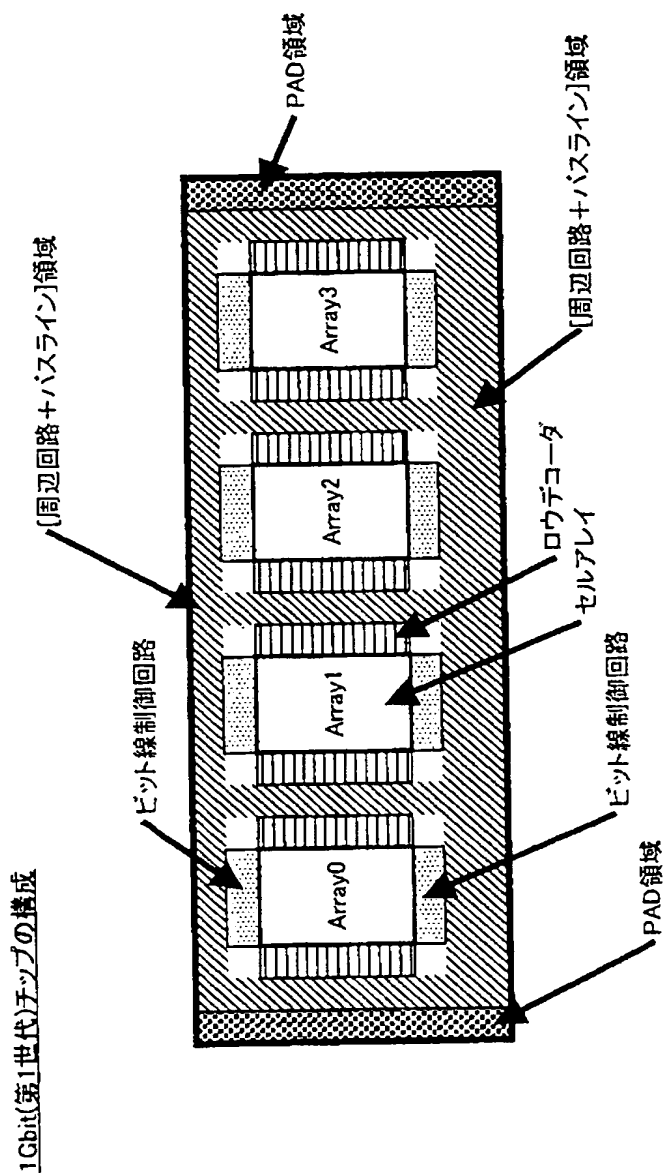


(b)

【図 4】

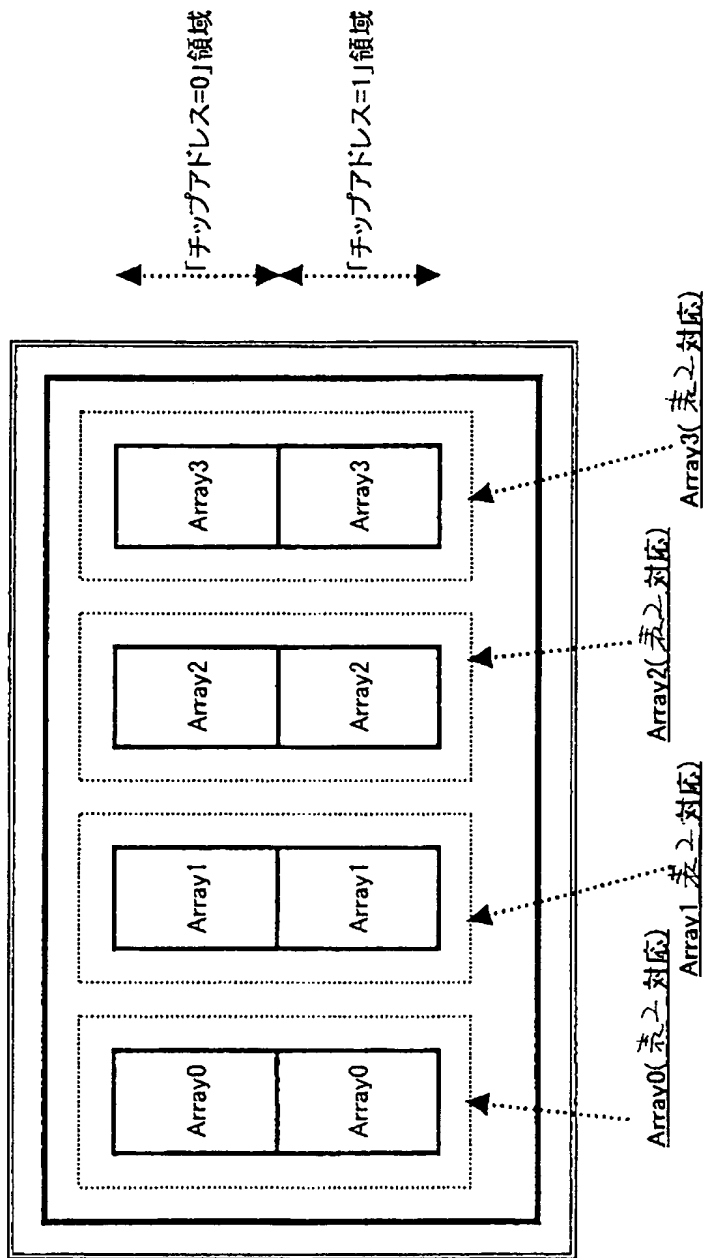


【図 5】

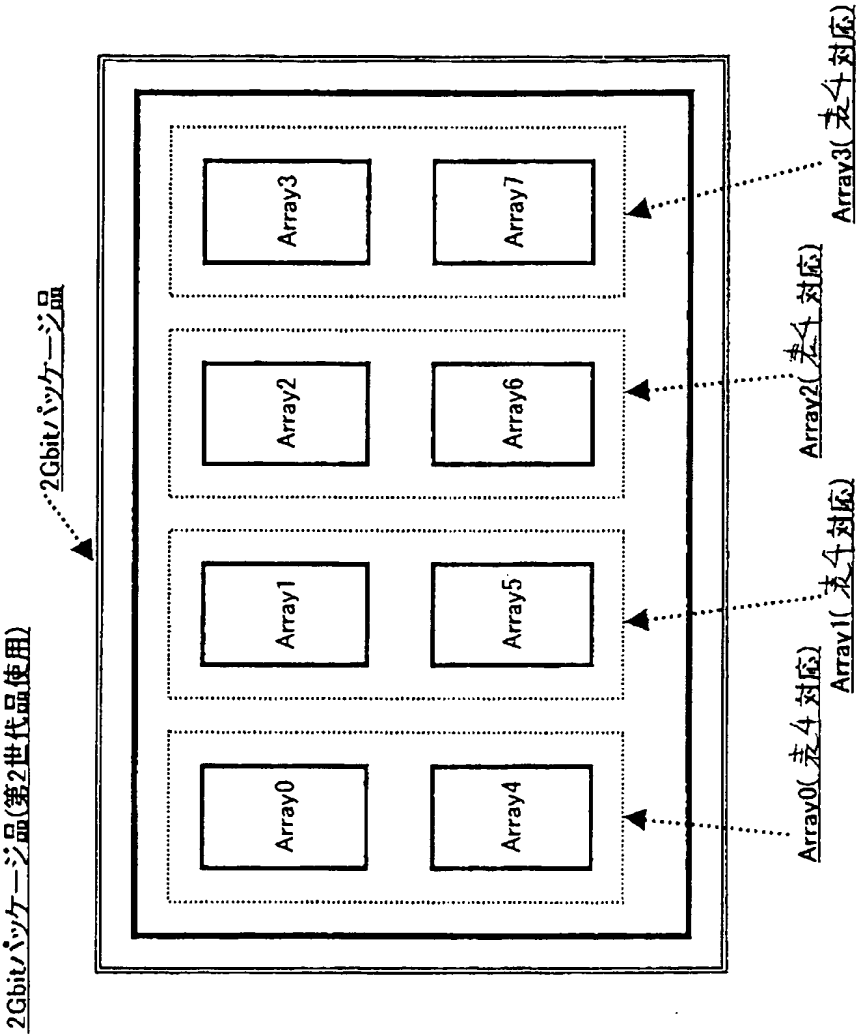


【図 6】

外部装置から図 15 のパッケージ品を見た場合のチップイメージ

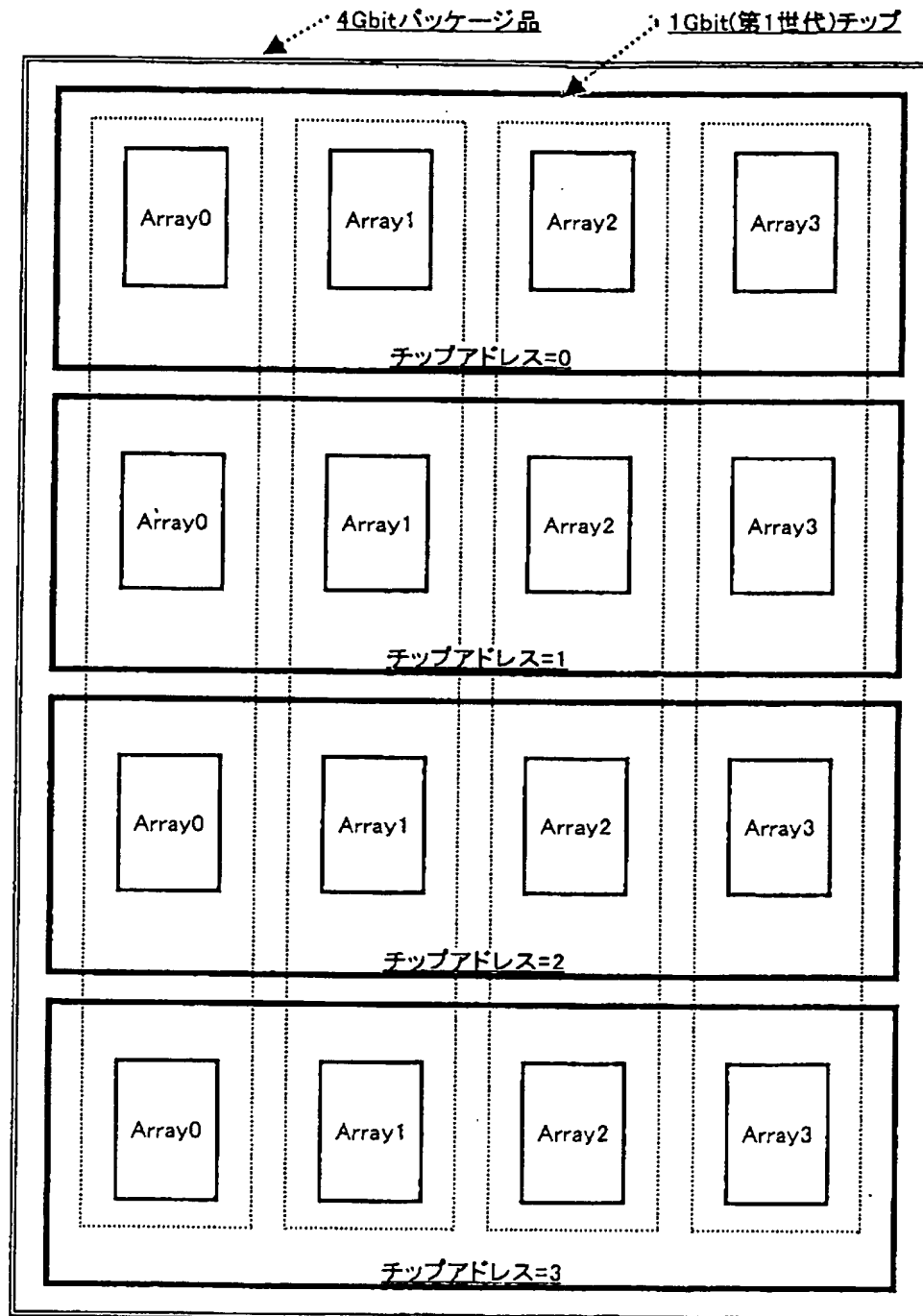


【図 7】

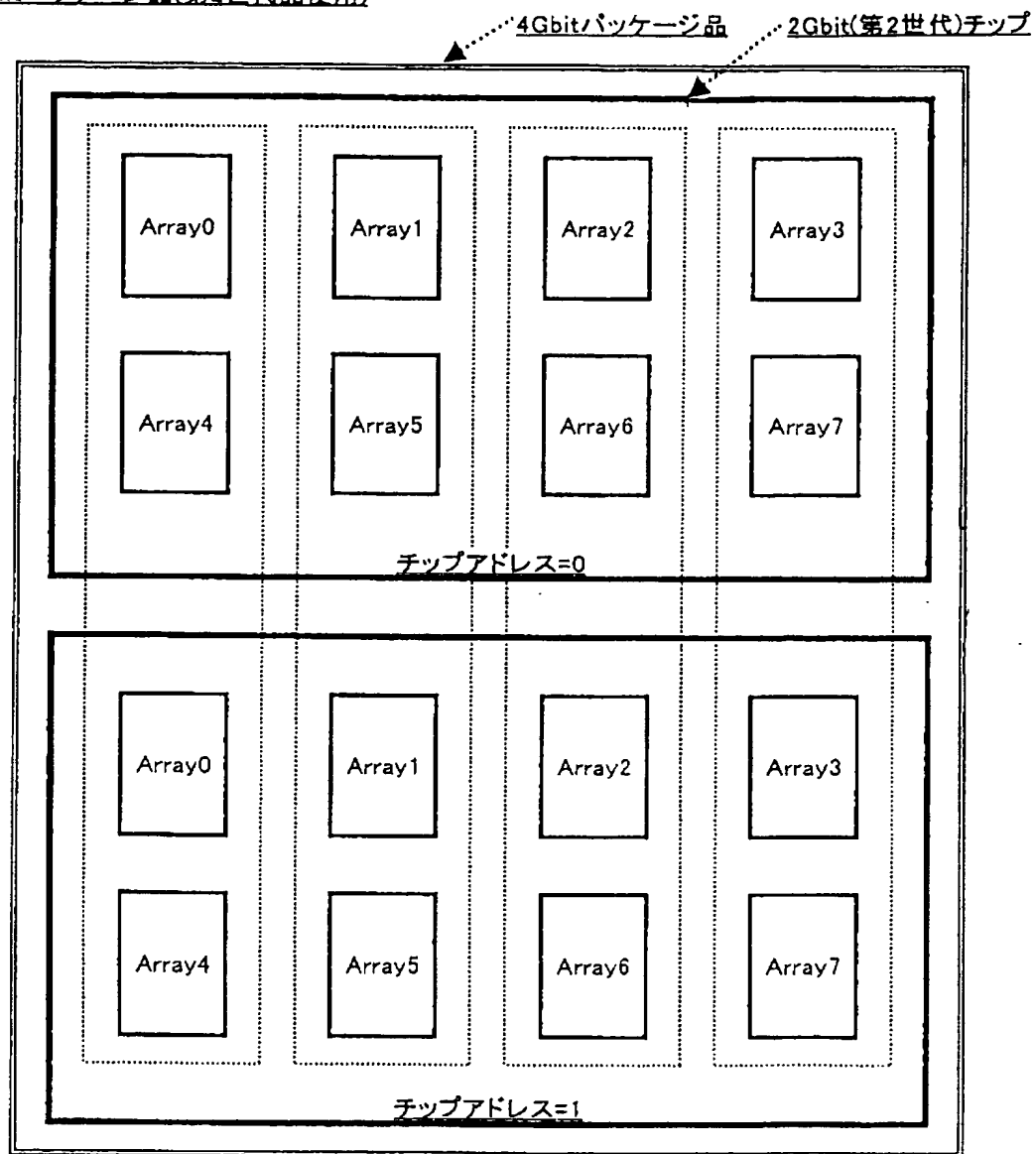


【図 8】

4Gbitパッケージ品(第1世代品使用)



【図 9】

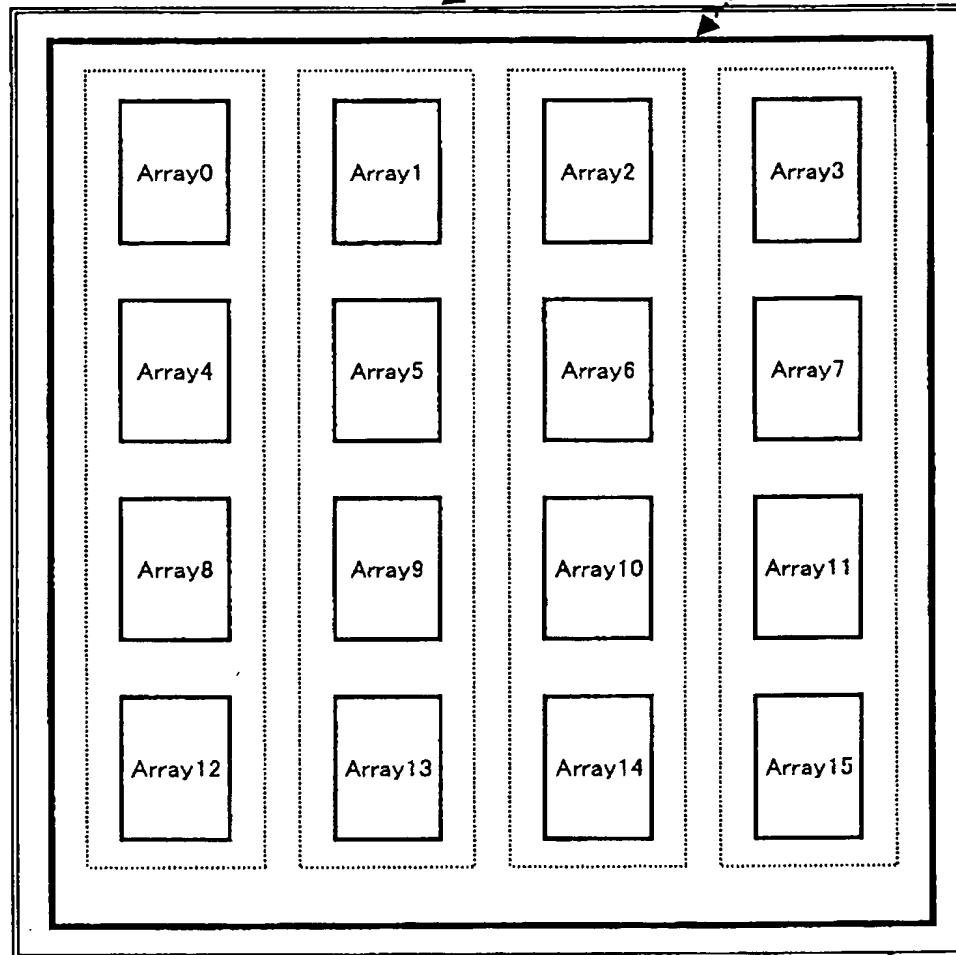
4Gbitパッケージ品(第2世代品使用)

【図 10】

4Gbitパッケージ品(第3世代品使用)

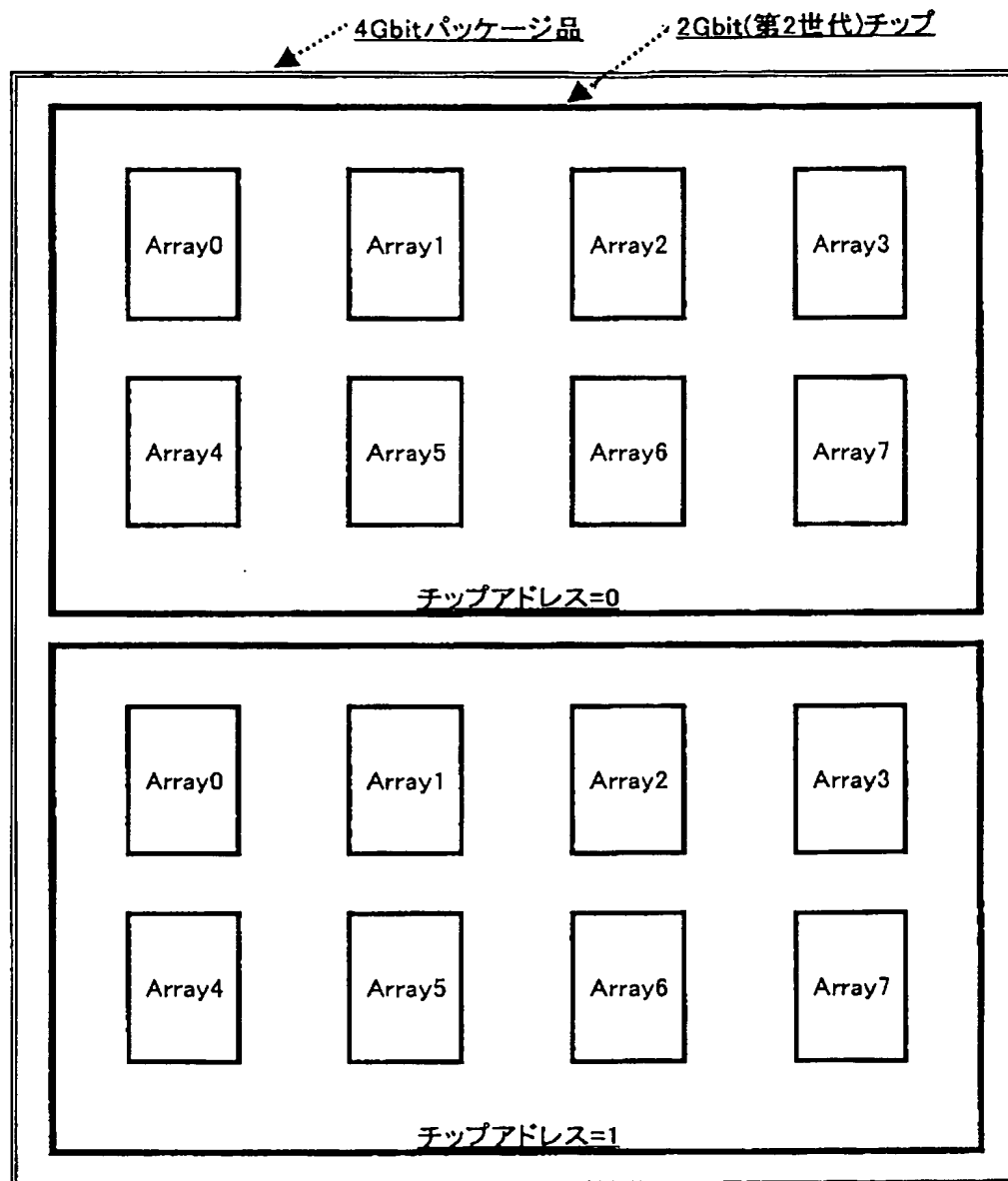
4Gbitパッケージ品

4Gbit(第3世代)チップ

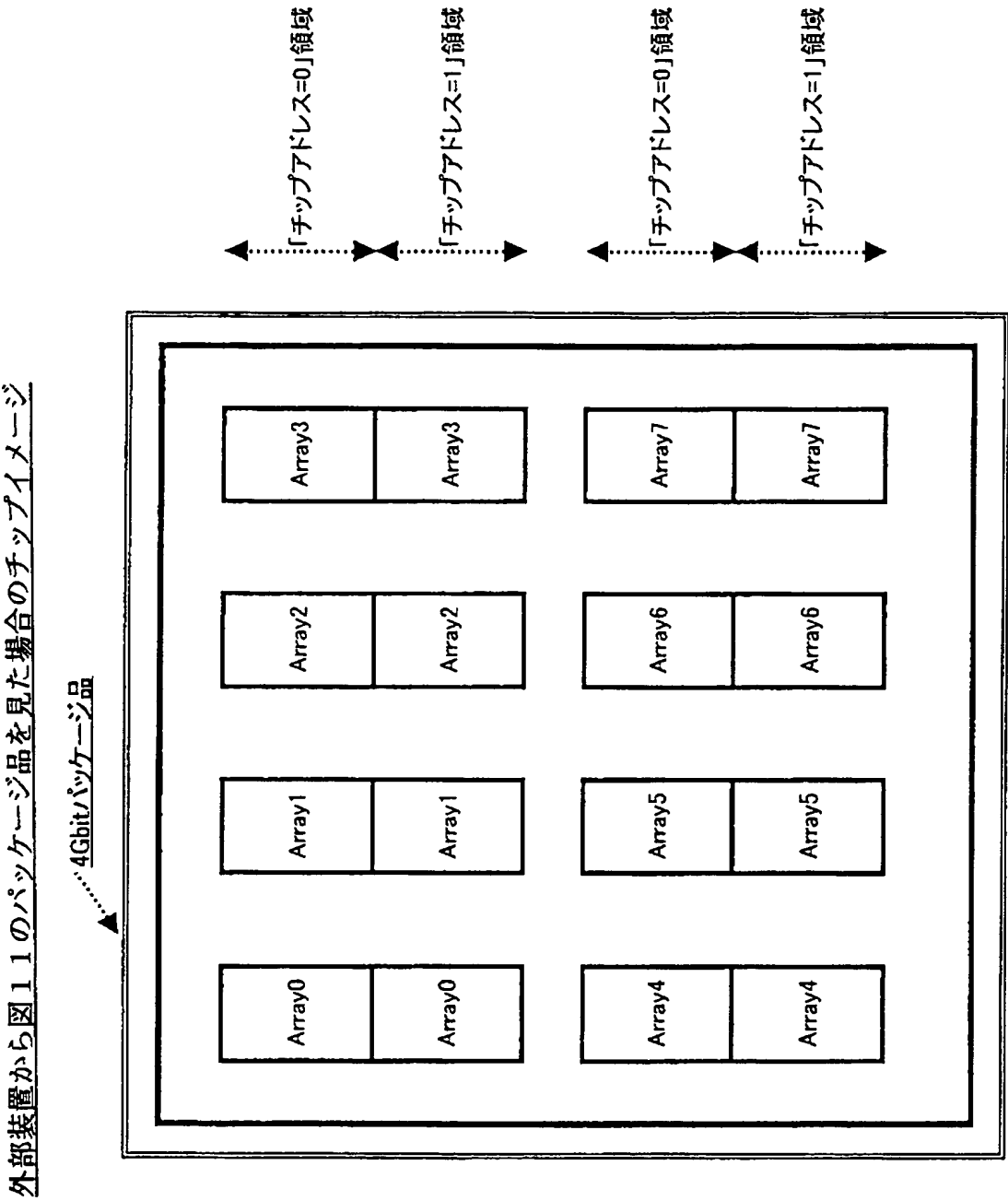


【図 11】

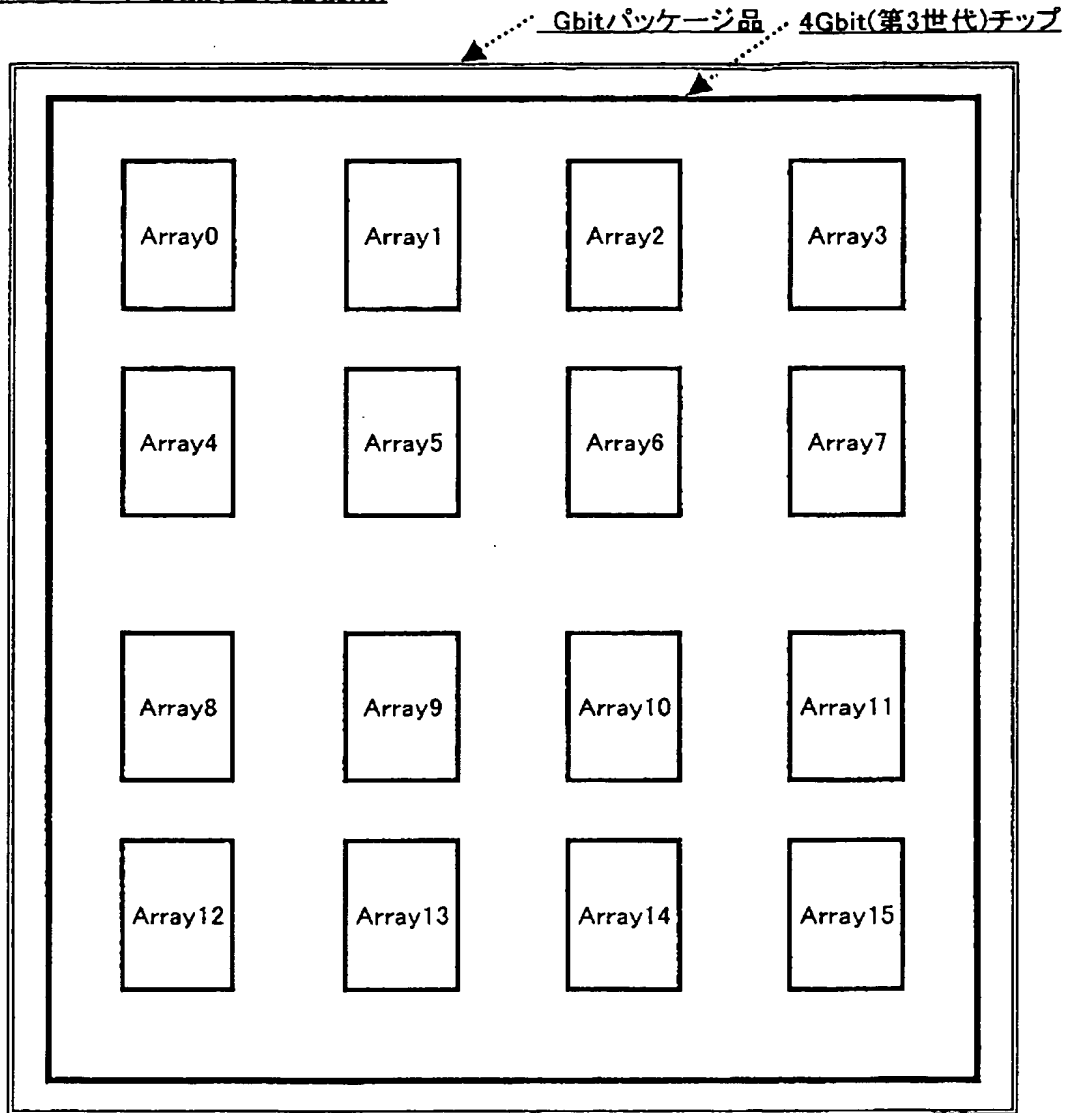
4Gbitパッケージ品(第2世代品使用)



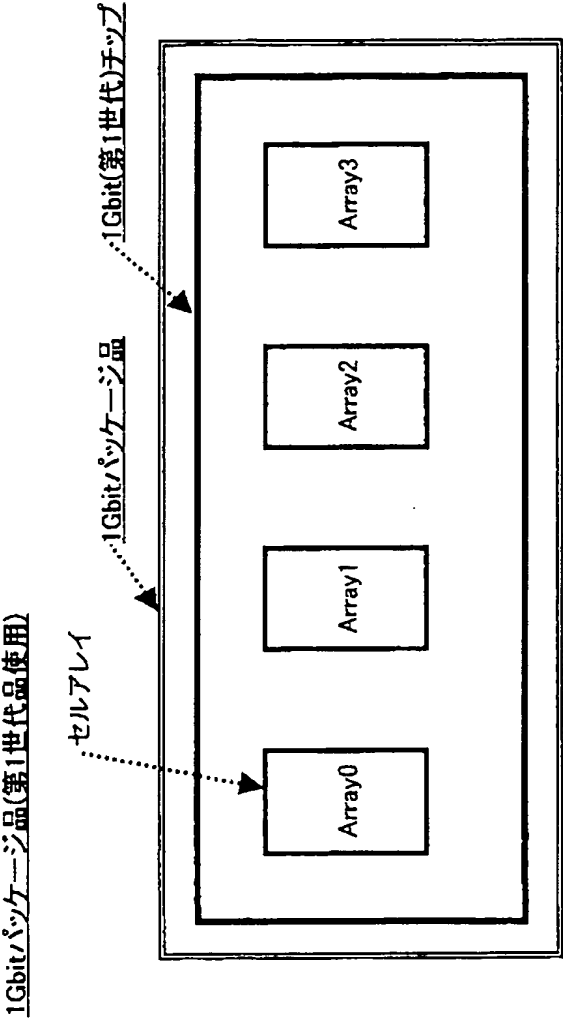
【図 12】



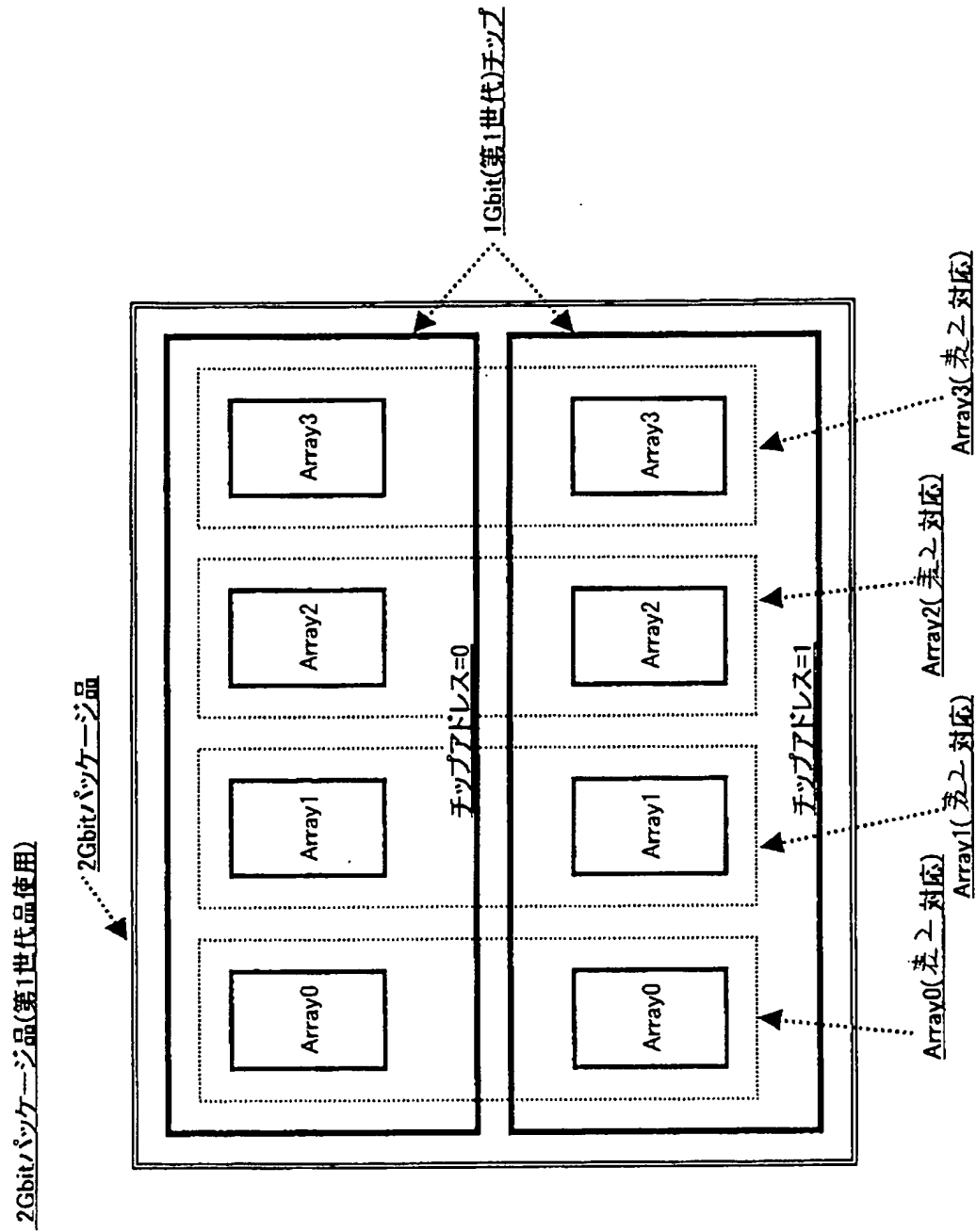
【図 13】

4Gbitパッケージ品(第3世代品使用)

【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 同一パッケージ品に対して前世代から後世代へのチップの置き換えを容易化する。

【解決手段】 後世代のチップ内には、並列動作が可能な複数のメモリセルアレイ Array0, Array1, Array2, Array3, Array4, Array5, Array6, Array7 が配置される。メモリセルアレイ Array0, Array4、メモリセルアレイ Array1, Array5、メモリセルアレイ Array2, Array6、及び、メモリセルアレイ Array3, Array7 は、それぞれ、1つのセルアレイブロックを構成する。動作の成功又は失敗を示すPass/Fail信号は、セルアレイブロック毎に出力される。セルアレイブロックの数は、前世代のチップのメモリセルアレイの数又はセルアレイブロックの数に等しいのがよい。

【選択図】 図 7

特願 2002-316720

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝
2. 変更年月日 2003年 5月 9日
[変更理由] 名称変更
住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝